

小規模集積回路 (SSI) を用いた設計・プロセス・評価の 一貫教育システムの構築

田中 武*・伊藤 啓一**・山田 明宏***

(平成21年10月31日受理)

Basic consecutive system consisted of design, process, and estimation of
small scale integrated circuits (SSI)

Takeshi TANAKA, Keiichi ITOH and Akihiro YAMADA

(Received Oct. 31, 2009)

Abstract

Department of Electronic and Electrical Engineering of Hiroshima Institute of Technology have been teaching integrated circuit designs and processes of semiconductors since 1989 term. In Electronic Experiments III, students learned the primitive logic circuits such as NOT, AND, etc and their combination circuits that were expressed by schematic logic design using the Graphic Editor, one of the MAX-Plus II applications. Designed circuits were programmed for the FPGA device and the operation of the designed circuits is confirmed by using push switches and LED. Students designed the small scale integrated circuits (SSI) consisted of CMOS FET using α -SX Custom Design Platform (Jedat Innovation Inc.), and semiconductor processing for SSI in Kitakyushu Science and Research Park. The operation of the fabricated SSI was confirmed using ID-VD characteristic of CMOS FET by students in Electronic and Computer Engineering experiment C and D. They had the successful experience to design, and to test SSI in Electronic and Computer Engineering experiment C and D.

Key Words: VLSI design, semiconductor process engineering, CAD, SSI

1. まえがき

近年、VLSIはほとんどの電子機器に組み込まれており、パソコン、携帯電話等に代表されるように、電子機器の小型軽量化、高性能化、高機能化に大きく貢献している。そのなかでも、メモリやCPUの高速化に代表されるように、電子デバイスの信頼性や高速性が飛躍的に向上している。このため、大規模な集積回路を用いて、大規模なデジタルシステムが実現できている。また、将来の集積回路の

長期にわたるロードマップがアメリカのセマテック¹⁾および半導体理工学研究センター²⁾から公開されている。2007年版ロードマップ¹⁾によると、DRAMのメタル1/2ピッチが、2007年で65nm、2015年25nmと約1/3になることが予想されている。集積回路の要素技術が高度になり、仕事が細分化している状況では、システムからプロセスまで総合的な知識が必要となるシステムLSIの開発ができる人材が切望される³⁾。

本大学において、電子工学科内に簡単な電子デバイス作

* 広島工業大学工学部電子情報工学科

** 株式会社ジーダット

*** ALSIデザイン株式会社

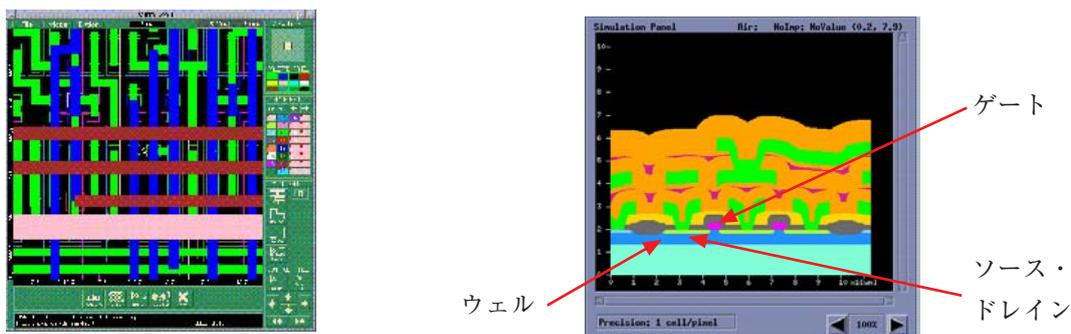


図1 集積回路のレイアウトパターンおよびその断面図

製可能なクラス 1000 および 10000 のクリーンルームが昭和 61 年に設置され、クリーンルームの維持管理を報告した⁴⁾。

その後、簡単な集積回路の設計およびプロセス工学教育のできる「集積回路教育実習システム」が平成元年度の文部省教育装置助成でクリーンルーム内に導入され、電子工学実験Ⅲにおいて、ビットマップ法の CAD により、MOS インバータ等の簡単な論理回路のレイアウト設計、および p n 接合ダイオードの製作を体験し、その作製した p n 接合ダイオードの電流-電圧特性および容量-電圧特性等の基本的な電気的特性評価等の実習内容を報告した^{5,6)}。またこの集積回路教育システムを用いて、リングオシレータの設計および製作について報告した⁷⁾。

大規模集積回路関連設計・プロセス工学教育支援システムが、平成 10 年度に日本私立学校振興・共済事業団の「特色のある教育研究の推進」に採択され、本学電子工学科と電気工学科にワークステーション等が整備された。これらの設備を併せた広島工業大学における大規模集積回路関連設計・プロセス工学教育について報告する。今後の集積回路の高集積化、高密度化、および高性能化、また、半導体プロセス技術の発展に伴い、システム設計、回路設計、デバイス設計、半導体プロセス工学までを統合した知識・技術、およびそれらの応用と体験が必要になる。

システム LSI を設計・試作、設計した評価基板に実装、動作確認を同時に e-learning 化することにより理解を深め、ものづくりと e-learning システムの両立する高度なシステムの構築するために、北九州学術研究都市の共同研究開発センター⁸⁾で用いられている p MOS および CMOSFET プロセスを、システム LSI 関連のものづくり教育に取り込むために初歩的なシステム LSI の作製を試みた⁹⁾。

本論文では、現在までの電子情報工学科における集積回路設計・プロセス工学関連教育の発展過程と、小規模集積回路 (SSI) の設計と、電気的特性の評価を、本学電子情報工学科の電子情報工学実験への導入について述べる。

また、今後、大規模集積回路を用いた教育研究システム

について検討した。

2. 電子情報工学科における集積回路設計教育の発展

2.1 電子工学科 (現電子情報工学科) での取組み

本学科では、1 年次前期必修の総合ゼミナール、3 年次必修の電子工学実験Ⅲにおいて、4 年次集積回路工学で、クリーンルーム教育、クリーンルーム内での簡単な IC プロセス、Programmable Logic Device (PLD) チップを用いた簡単な回路設計に関連した授業を行ってきた。

電子工学科の総合ゼミナールでは、シラバスに紹介されているように、電子工学科の全教員が担当し、エレクトロニクス分野のみならず、工学基礎・教養科目との関連性や、勉学方法、学習目的、将来の進路等を教員と学生が一体となって話し合うことにより、有意義な学生生活を送るための動機付を行う目的で、学生が 1 班 10 人程度の小グループに分かれ、各教員のゼミナール室に順次移動し受講する¹⁰⁾。そのテーマの一つとして、LSI のレイアウトおよび「クリーンルーム」の教育を実施している。図 1 に LSI パターンおよび断面図を示す。レイアウトの任意の場所を選択することにより、その断面を見ることができる。

2.2 電子工学実験Ⅲ

電子工学実験Ⅲでは、CMOS インバータ回路のレイアウト設計を行っている。学生個人に電圧利得係数 β を与えてパターン設計を行う。その一例を図 2 に示す。その後、集積回路向けシミュレーションプログラム (SPICE) を用いて MOS インバータの入出力波形および入出力特性を計算し、グラフ化している。(図 3) また、学生個人に 4 入力 1 出力のカルノー図 (図 4 (a)) を与え、論理式 (図 4 (b)) を導出させ、さらに、論理回路 (図 4 (c)) を描かせている。その後、アルテラ社のプログラマブル・ロジック開発システム (MAX + PLUS II) のグラフィックエディタを用いて、論理回路図を学生各自作製する。次にその論理回路を、MAX + PLUS II を用いて I SP プログラマ&チェッカ (アリテック社製) 内の PLD に書き

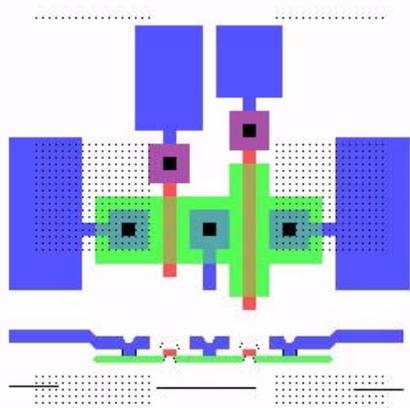
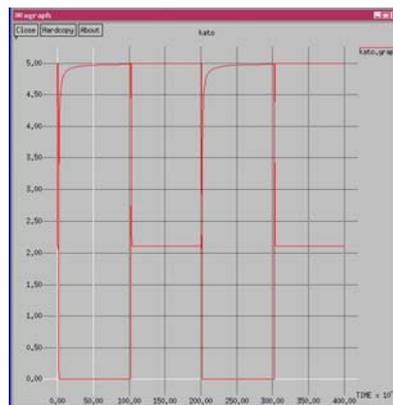
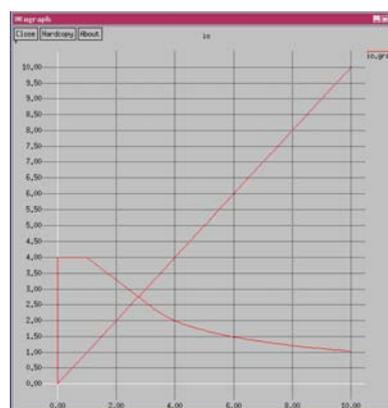


図2 CMOSインバータのレイアウト図およびその断面図



(a) 入出力波形



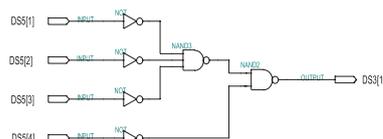
(b) 入出力特性

図3 SPICEを用いて計算したCMOSインバータの入出力波形および入出力特性

AB \ CD	00	01	11	10
00	1	0	0	0
01	1	1	1	1
11	1	1	1	1
10	0	0	0	0

$$\begin{aligned} & \overline{ABC} + D \\ &= \overline{ABC + D} \\ &= \overline{ABC} \cdot \overline{D} \end{aligned}$$

(b) 論理式



(c) 論理回路図

カルノー図より論理式は
 $\overline{ABC} + D$

(a) カルノー図

図4 カルノー図から論理回路図を描いた例



図5 ISPプログラマ&チェッカを用いたFPGAへの書き込みおよび論理検証

込む (図5右)。また、この実験実習用に簡易PLD書き込み装置を開発した¹¹⁾。PLDは、簡単に回路を変更できるデバイスであり、デジタルシステムのプロトタイピングに利用され、その利用によりコストのかかるLSI試作を行わなくても済み、現実的な教育環境として、近年普及してきた。書き込んだ論理回路の検証を視覚的に理解するために発光ダイオード表示により、設計した論理回路の動作確認を行っている (図5右)。

電子工学実験IIIについて、まとめると、CMOSICの基本原則とその回路シミュレーション、集積回路のレイアウト設計、カルノー図からの論理回路図作成、プログラマブル・ロジック開発システム (MAX+PLUSII) を用いて、論理回路図を描き、コンパイル、ISPプログラムをFPGAへ書き込み、および論理の検証を行ってきた。

3. 集積回路設計教育に、小規模集積回路の導入

電子情報工学科における集積回路設計・プロセス工学関連教育に、小規模集積回路 (SSI) の設計と、電気的特性の評価の導入を検討した。

小規模集積回路 (SSI) の設計に用いた設計ソフトウェアに、ジータット社が、SX-9000 システム等で培った長年の実績、ノウハウと、産学連携等の長年の研究開発の結果蓄積された最先端の技術力をベースに製品化した、SX シリーズの最新シリーズである、新世代の設計システム α -SX を採用した。

また、このシステムは、回路図エディタ「Asca」、レイアウトエディタ「Ismo」を中心に、半導体フルカスタム設計分野、液晶等の微細加工パターン設計分野向けの各種エディタオプション、検証ツール、自動ツールが完備されている。また、業界標準となっている各種外部フォーマットに対する入出力を標準装備しているほか、マスク装置へのデータ出力、プロット出力、その他特殊フォーマット等に対する対応もできる。さらに、独自の設計環境を構築するためのプログラミングインターフェイス等の Development Kit がある¹²⁾ので、このシステムを工学系の大学用の集積回路設計システムのカスタムソフトウェアにすることも可能であると考えられる。

今年の電子情報工学実験 C において、電子情報工学科 3 年生が各自一つのレイアウト設計を行った。実際に設計した、2 入力 NAND のレイアウト図を図 6 に示す。

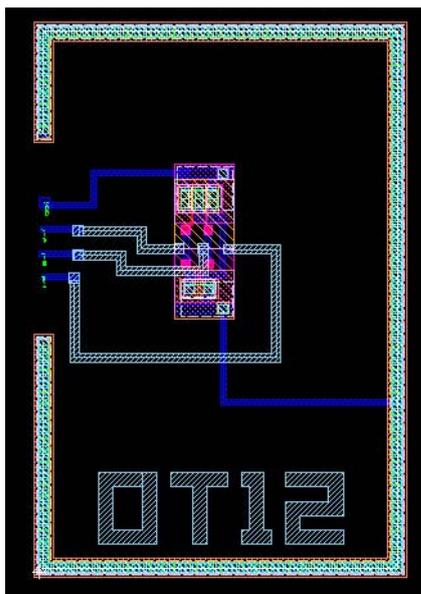


図 6 電子情報工学科 3 年生が、電子情報工学実験 C で設計した 2 入力 NAND のレイアウト図 (学生一人分のレイアウト図である。)

今年からは、電子情報工学実験 C の実験実習中に、受講学生がレイアウト設計したものを、実際に試作し、後期の電子情報工学実験 D で測定することを検討した。

実際に集積回路試作するためには、試作を実施する場所と、集積回路試作のために、学生各自が設計したレイアウト図を、一つにまとめる必要がある。

最初に、北九州学術研究都市には、エレクトロニクス産業、特に半導体プロセス及び微細加工に関する基盤の技術を持つ企業や大学などが連携して共同研究開発や、IC や MEMS の試作などを行う製造装置の開放や、微細加工技術を応用した新しいビジネス創造を目指す企業などに対して、研究室の提供などを行っている共同研究開発センター⁸⁾があり、そこで集積回路の試作を行った。

次に、設計された集積回路のレイアウト図をまとめたものを、図 7 に示す。このまとめたものの集積回路の規模は、小規模集積回路 (SSI) の規模になる。

今回は、本学電子情報工学科電子情報工学実験 C&D では、1 週間北九州で、受講学生による集積回路の試作が困難なため、小規模集積回路の設計、評価のみになる。卒業研究や、大学院の研究においては、小規模集積回路の設計、プロセス、評価の一貫教育を実施していくことが可能である。

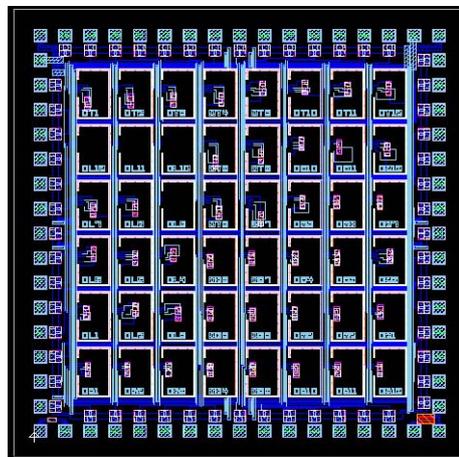


図 7 電子情報工学科 3 年生が、電子情報工学実験 C で設計した 2 入力 NAND のレイアウト図を一つにまとめたもの (学生 48 名分のレイアウト図を入れることができる。)

試作した集積回路の電気的特性を図 8 に示す。

CMOSFET で構成された 2 入力 NAND の入出力が、論理設計と一致することが示された。

また、本学で開発された、小規模集積回路を用いた設計・プロセス・評価の一貫教育システムは、日本全国 10 大学以上で採用され、日本の集積回路関連教育の一助になっていると思われる。

今後は、設計するシステムを大型化するとともに、集積

回路を作成している半導体メーカーと協力し、大規模集積回路の設計・プロセス・評価で構成される一貫教育システムを構築していきたいと考える。

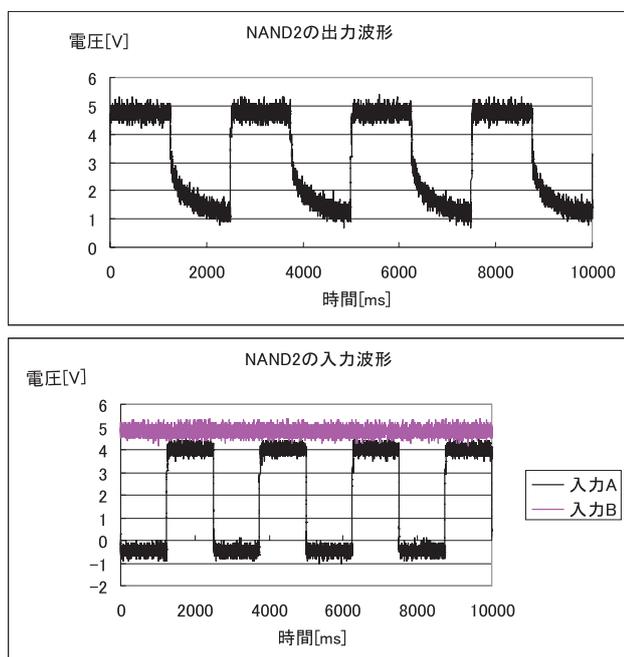


図8 電子情報工学実験Cで試作された集積回路の電気的特性

4. むすび

現在までの電子情報工学科における集積回路設計・プロセス工学関連教育の発展過程と、小規模集積回路 (SSI) の設計と、電気的特性の評価を、本学電子情報工学科の電子情報工学実験に導入したことについて述べた。

今後は、設計するシステムを大型化するとともに、集積回路を作成している中国地方の半導体メーカーと協力し、大規模集積回路の設計・プロセス・評価で構成される一貫教育システムの構築していきたいと思う。

謝 辞

本研究は、「カーエレクトロニクスを題材とした電子情報技術の体験教育支援」の支援を頂いております。

文 献

- [1] <http://www.itrs.net/>
- [2] <http://www.starc.jp/>
- [3] 安保秀雄, “大学でLSIを自由に設計・評価 教育・研究用の試作体制構築へ”, 日経マイクロデバイス, 1994年2月号, p.52.
- [4] 田中武, 川畑敬志, “広島工業大学におけるクリーンルームの維持および管理”, 広島工業大学研究紀要, 26 (1992) 161.
- [5] 川畑敬志, 田中武, “学部課程におけるマイクロエレクトロニクス実験”, 平成3年度電気・情報関連学会中国支部第42回連合大会講演予稿集, p.342.
- [6] 田中武, 川畑敬志, “広島工業大学における電子デバイス教育”, 1992年秋季応用物理学会講演会, 17a-LL-4.
- [7] 小川昭雄, 水本浩二, 田中武, 川畑敬志, 中村正孝, “集積回路教育システムを用いた, リングオシレータの設計及び製作”, 平成2年度電子情報通信学会学生会研究発表会.
- [8] <http://www.ksrp.or.jp/shisetsu/access/floor02.html>
- [9] 田中武, 安藤秀幸, 山田明宏, “システムLSI関連ものづくり教育におけるICチップ作成”, 広島工業大学紀要, 2005, pp-7-12.
- [10] 広島工業大学電子工学科講義要項, 平成11年度.
- [11] 猪本喜保, 道下邦賢, 砂田謙二, 大村道郎, 田中武, 川畑敬志, “LSI設計教育用簡易FPGA書込装置の開発”, 平成11年度電気・情報関連学会中国支部第50回連合大会予稿集, p.374.

